

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-260646

(43)Date of publication of application : 16.09.1994

(51)Int.Cl.

H01L 29/784

G02F 1/136

H01L 29/46

(21)Application number : 05-043673

(71)Applicant : KODO EIZO GIJUTSU
KENKYUSHO:KK

(22)Date of filing : 04.03.1993

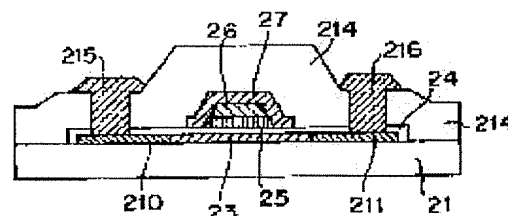
(72)Inventor : TAKENAKA SATOSHI

(54) FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a film semiconductor device which is small in off leak current, low in gate wire resistance, and besides can materialize offset structure easily.

CONSTITUTION: Two-layer structure is made by the polycrystalline silicon film 25 made on a gate oxide film 24 and the silicide film 26 made on this polycrystalline silicon film 25, and the dimension of the pattern of this two-layer structure is shorter than the length of the channel between a source region 210 and a drain region 211, and the film to constitute the two-layer structure is covered with a polycrystalline silicon film 27.



LEGAL STATUS

[Date of request for examination]

06.10.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2510820

[Date of registration]

16.04.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

16.04.2000

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-260646

(43)公開日 平成6年(1994)9月16日

| | | | | |
|--------------------------|-------|---------|----------------|---------|
| (51)Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 29/784 | | | | |
| G 0 2 F 1/136 | 5 0 0 | 9018-2K | | |
| H 0 1 L 29/46 | D | 7376-4M | H 0 1 L 29/ 78 | 3 1 1 G |
| | | 9056-4M | | |

審査請求 有 請求項の数 2 O L (全 8 頁)

(21)出願番号 特願平5-43673

(22)出願日 平成5年(1993)3月4日

(71)出願人 391000966

株式会社高度映像技術研究所
東京都新宿区西新宿2丁目1番1号 新宿
三井ビル24階 私書箱283号

(72)発明者 竹中 敏

東京都新宿区西新宿4-15-3 三省堂新
宿ビル4階株式会社高度映像技術研究所内

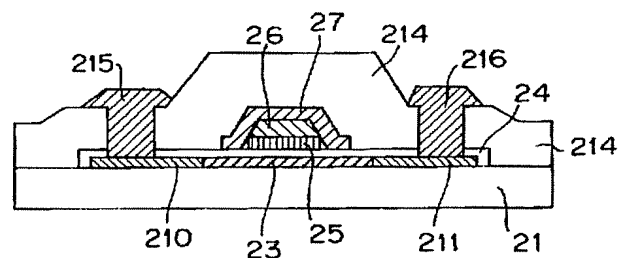
(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 薄膜半導体装置およびその製造方法

(57)【要約】

【目的】 オフリーク電流が小さく、ゲート線抵抗が低く、しかもゲート線抵抗が低く、オフセット構造を容易に実現することのできる薄膜半導体装置を提供する。

【構成】 ゲート酸化膜24上に形成された多結晶シリコン膜25とこの多結晶シリコン膜25上に形成されたシリサイド膜26とにより2層構造を形成し、この2層構造のパターン寸法がソース領域210とドレイン領域211との間のチャネル長よりも短く、2層構造をなす膜が多結晶シリコン膜27によって覆われている。



【特許請求の範囲】

【請求項 1】 ソース領域、ドレイン領域およびゲート絶縁膜を有する薄膜半導体装置において、前記ゲート絶縁膜上に形成されたゲート電極とを有し、該ゲート電極は前記ゲート絶縁膜上に形成され、不純物が添加された第 1 の多結晶シリコン膜と該第 1 の多結晶シリコン膜上に形成されたシリサイド膜との 2 層膜と、前記 2 層膜上に形成され、不純物が添加された第 2 の多結晶シリコン膜とを有し、前記 2 層膜の幅は、前記ソース領域と前記ドレイン領域との間のチャンネル長よりも短く、前記 2 層膜は前記第 2 の多結晶シリコン膜により覆われていることを特徴とする薄膜半導体装置。

【請求項 2】 絶縁基板上に半導体層を形成し、該半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物が添加された第 1 の多結晶シリコン膜を形成する工程と、前記第 1 の多結晶シリコン膜上にシリサイド膜を形成し、前記第 1 の多結晶シリコン膜と前記シリサイド膜との 2 層膜をパターンニングして、前記 2 層膜のパターン寸法をドレイン領域とソース領域との間のチャンネル長よりも短くする工程と、当該パターンニングされた前記 2 層膜を不純物が添加された第 2 の多結晶シリコン膜を用いて覆う工程とを含むことを特徴とする薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜半導体装置およびその製造方法に関し、より詳細には、高品位テレビジョンの映像を表示するのに必要な液晶パネル等に用いられる薄膜半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】従来、高品位テレビジョンの映像を液晶パネルに表示する際には、薄膜トランジスタにより液晶をスイッチングする方式が主流である。この薄膜トランジスタにおいて、ゲート電極は不純物が添加された多結晶シリコン層 1 層のみで形成されていた。この多結晶シリコン膜を 3500Å の厚みに堆積させたとしても、そのシート抵抗は $20\Omega/\square$ 程度にしか低下しない（電子情報通信学会技術研究報告、Si 電極膜が MOS 特性に及ぼす影響、秋月誠他、SDM91-164、電気通信学会、1991 年）。

【0003】液晶ディスプレイに、この従来のゲート電極を適用した場合には、次のような問題点があった。

【0004】1) ゲート線の断線が線欠陥となり液晶ディスプレイの品質を低下させ、歩留りを低下させる。液晶ディスプレイの駆動方法としては、ゲート線に左右両側からゲート信号を入力するのが普通である。例えば、ゲート線がある 1 点で断線していても、ゲート線に

は両側からゲート信号が入力される。しかし、ゲート線の抵抗が高い場合にはゲート信号の遅延が無視できなくなり、断線付近の画素の応答の遅れが目立つようになる。また、ゲート線とソース線の短絡があった場合には、この短絡点の両側のゲート線を切断して短絡の影響をなくすことが好ましい。しかし、ゲート線の抵抗が高いために逆に線欠陥になってしまう。ゲート線の抵抗を低下することができれば、この両側から入力されるゲート信号の遅延は問題にならない程度に小さくなり、液晶ディスプレイの表示画面には何ら影響が発生しなくなる。

【0005】2) 従来の液晶ディスプレイでは、フリッカと呼ばれる画面のちらつきや表示ムラを抑えることができなかった。すなわち、ゲート線に矩形パルスを入力した際に、ゲート線の時定数 $\tau = R \times C$ (R はゲート線の抵抗、 C はゲート線の容量) が大きいと画面の中央部では、矩形パルスの波形がなまってしまい画素トランジスタの立ち上がり特性がばらついてしまう。その結果、液晶ディスプレイ画面上にフリッカとなって現れる。ゲート線の抵抗が大きいと時定数 τ が大きくなるので、フリッカを抑えることができなかった。

【0006】このように、高品位テレビジョン用の液晶ディスプレイに応用する場合には、上述の問題が特に顕著になる。

【0007】さらに、液晶ディスプレイに従来のゲート電極を用いた場合には、次のような問題点があった。

【0008】1) 従来通りに不純物を添加した多結晶シリコン膜を用いた場合には、その膜厚を 5000Å としてもそのシート抵抗は $15\Omega/\square$ 程度しか低下しない。さらにシート抵抗を低下させるためには、膜厚を 5000Å 以上にする必要がある。しかし、これでは素子の表面の凹凸が大きくなり、多結晶シリコン膜上に形成される膜あるいは配線の段差被覆性が問題となり、歩留りが低下する大きな要因となる。

【0009】2) ゲート電極の抵抗を低下させるためにシリサイドを用いた場合、シリサイドが大きな応力を受けることが問題となる。ここで、線膨張係数の値を比較してみると、石英基板の線膨張係数が $5.5 \times 10^{-7}/^{\circ}\text{C}$ であるのに対して MoSi_2 および WSi_2 の線膨張係数は、それぞれ、 $8.25 \times 10^{-6}/^{\circ}\text{C}$ および $6.25 \times 10^{-6}/^{\circ}\text{C}$ であるので、シリサイドの線膨張係数は石英基板の線膨張係数に対して一桁以上も大きい（半導体研究、第 24 巻、1986 年、工業調査会）。従って、石英基板上に形成されたシリサイド膜は応力を受けて、このシリサイド膜にクラック等が発生しやすくなり、このことは歩留りの低減の原因となる。

【0010】一方、薄膜トランジスタのオフリーク電流が大きいと、画素の保持特性が劣化するため、優れた液晶ディスプレイを実現するためには、オフリーク電流を低減させることが必要となる。通常の薄膜トランジスタ

のオフ領域におけるリーク電流は、ドレイン領域の近傍の電界強度に強く依存しており、ゲート電圧をオフ側に大きくするとオフリーク電流が大きくはね上がる。オフリーク電流を低減させるためには、LDD (Lightly Doped Drain) 構造あるいはオフセットゲート構造を形成することが有効であることが知られている。しかし、従来のLDD構造あるいはオフセットゲート構造においては、異方性エッチングを利用してゲート電極側壁を設けるなどの複雑な工程が必要であった。

【0011】

【発明が解決しようとする課題】このような従来の問題点を解決するためには、ゲート電極のシート抵抗値を従来の抵抗値の約3分の1である $5\sim 8\ \Omega/\square$ 程度に低下させる必要がある。この方法の一つとして、最下層に多結晶シリコン膜、中間層にシリサイド膜および最上層に多結晶シリコン膜を積層した3層構造を1回のフォトエッチングによりパターンニングする方法が報告されている (Proceedings of the 12th International Display Research Conference, Japan Display, P2-6, Mo-Polycide Gate High-Temperature Poly-Si TFTs for HDTV LCDs, I. Yudasaka et al, pp. 451~454, 1992)。

【0012】図5は、多結晶シリコン/シリサイド/多結晶シリコンの3層膜を1回のフォトエッチングにより3層ゲート電極を構成した場合の薄膜トランジスタの模式的断面図である。

【0013】図5において、絶縁基板51上には半導体薄膜52、ソース領域53およびドレイン領域54が形成されている。ソース領域53およびドレイン領域54には、それぞれ、ソース電極510およびドレイン電極511より電圧が印加される。ゲート絶縁膜55には、最下層の多結晶シリコン膜56、シリサイド膜57および最上層の多結晶シリコン膜58がこの順序で形成されて、全体として3層ゲート電極を構成している。59は層間絶縁膜である。

【0014】図5に示した薄膜トランジスタを作製するに当り、オフセットゲート構造を形成するためにゲート電極を過剰にエッチングすると、シリサイド膜57のエッチング速度が最も大きい。従って、中間層のシリサイド膜57が異常にエッチングされてオーバーハング形状となってしまう。その結果、層間絶縁膜59の段差上における被覆性が悪くなり、この層間絶縁膜59上に形成される配線 (不図示) の断線率が大きくなってしまう。このために、3層ゲート電極を低抵抗化して、かつオフセットゲート構造の半導体装置を実現することは困難であった。

【0015】そこで、本発明の目的は、上述した問題点を解消し、オフリーク電流が小さく、しかもゲート線抵抗が低く、低抵抗なゲート電極を用いてオフセットゲート構造を容易に実現することのできる薄膜半導体装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】このような目的を達成するために、本発明の薄膜半導体装置は、ソース領域、ドレイン領域およびゲート絶縁膜を有する薄膜半導体装置において、前記ゲート絶縁膜上に形成されたゲート電極とを有し、該ゲート電極は前記ゲート絶縁膜上に形成され、不純物が添加された第1の多結晶シリコン膜と該第1の多結晶シリコン膜上に形成されたシリサイド膜との2層膜と、前記2層膜上に形成され、不純物が添加された第2の多結晶シリコン膜とを有し、前記2層膜の幅は、前記ソース領域と前記ドレイン領域との間のチャンネル長よりも短く、前記2層膜は前記第2の多結晶シリコン膜により覆われていることを特徴とする。

【0017】さらに、本発明の薄膜半導体装置の製造方法は、絶縁基板上に半導体層を形成し、該半導体層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に不純物が添加された第1の多結晶シリコン膜を形成する工程と、前記第1の多結晶シリコン膜上にシリサイド膜を形成し、前記第1の多結晶シリコン膜と前記シリサイド膜との2層膜をパターンニングして、前記2層膜のパターン寸法をドレイン領域とソース領域との間のチャンネル長よりも短くする工程と、当該パターンニングされた前記2層膜を不純物が添加された第2の多結晶シリコン膜を用いて覆う工程とを含むことを特徴とする。

【0018】

【作用】本発明によれば、多結晶シリコン膜/シリサイド膜の2層膜のパターンの幅を薄膜トランジスタのチャンネル長よりも狭くしたので、2層膜は最上層の多結晶シリコン膜により完全に覆われオーバーハングや逆テーパ形状にならない。従って、層間絶縁膜の段差上における被覆性が良好となり、この層間絶縁膜上に形成される配線の断線を防止することができる。これにより、ゲート線の低抵抗化と共にオフリーク電流も低減することができる。

【0019】また、本発明によれば、シリサイド膜を用いたオフセットゲート構造の半導体装置を採用することができるので、ゲート線のシート抵抗値を、従来の多結晶シリコンの抵抗値の $25\ \Omega/\square$ から3分の1の $8\ \Omega/\square$ 程度に低減することができる。

【0020】さらにまた、本発明によれば、オフセットゲート構造の3層のゲート電極のうち、最下層を不純物が添加された多結晶シリコン膜を用いて形成することにより、絶縁基板とシリサイド膜との応力を緩和することができる。従って、シリサイド膜のクラック等の線膨張係数の違いに起因する欠陥をなくすることができる。ま

た、シリサイド膜の絶縁基板への密着性も改善されるので、フォトエッチングの時に密着力の不足から生じる異常エッチングを防止することができる。一方、シリサイド膜は非常に大きな凹凸の表面を有しているが、最上層に多結晶シリコン膜を積層させることにより、この表面の凹凸はならされて平坦な表面を得ることができる。その結果、ゲート電極上に積層される酸化膜の密着性が改善され、この酸化膜にコンタクトホールを開口する場合の異常エッチングが解消される。

【0021】その上、本発明によれば、ゲート線には左右両側からゲート信号が送られるので、ゲート線に断線が生じたとしてもゲート線の抵抗が十分に小さいので信号遅延が小さくなる。従って、ソース線とゲート線の短絡が生じたとしても、この短絡点の両側のゲート線を切断することによって短絡欠陥をなくすることができる。

【0022】

【実施例】以下、図面を参照しつつ本発明の実施例を詳細に説明する。本実施例においては3層ゲート電極を有する薄膜トランジスタ（TFET）に応用した場合について説明するが、これに限定されないことは勿論である。

【0023】まず、非晶質絶縁基板上に、非晶質半導体薄膜を成膜する。非晶質絶縁基板としては、石英基板、ガラス基板、窒化膜あるいは SiO_2 等を例示することができる。基板としては非晶質絶縁基板だけでなく、サファイア基板、 $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、BP、 CaF_2 等の結晶性絶縁基板を用いることもできる。

【0024】石英基板を用いる場合、プロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は600℃以下の低温プロセスに制限される。以下の実施例では石英基板を用い、半導体薄膜としてプラズマCVD法によるシリコン薄膜を固相成長させた場合について説明する。勿論、プラズマCVD法だけではなく、減圧CVD法、EB蒸着法、スパッタリング法あるいはMBE法を用いて成膜した多結晶シリコン薄膜などをさらに固相成長させた膜、あるいは気相成長膜でも本発明を実現することができる。

【0025】図1（a）ないし図1（e）は、本実施例の薄膜トランジスタの製造方法を示す工程図である。

【0026】プラズマCVD装置を用い、石英基板21上に、 SiH_4 と H_2 との混合ガスを、13.56MHzの高周波グロー放電により分解させて非晶質シリコン膜22を堆積させた（図1（a））。混合ガスの SiH_4 分圧は10～20%、薄膜堆積中のプラズマCVD装置の内圧は0.5～1.5 Torr程度である。石英基板21の温度は250℃以下、180℃程度が適している。赤外吸収測定より結合水素量を求めると、約8 at om i c %であった。非晶質シリコン膜22の堆積前のチャンバーをフレオンを用いて洗浄し、続いて堆積させた非晶質シリコン膜22は $2 \times 10^{18} \text{ cm}^{-3}$ のフッ素を含んでいた。従って、本実施例においては、フレオンを

用いて洗浄した後、ダミーの堆積を行ってから、実際の堆積を行った。あるいは、フレオンによる洗浄を廃止し、ビーズ処理等の別の方法でチャンバー中の洗浄を行う。

【0027】続いて、非晶質シリコン膜22を、400℃～500℃で熱処理して水素を放出させた。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

【0028】次に、非晶質シリコン膜22を固相成長させ、固相成長シリコン薄膜23を形成した（図1（b））。

固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。 1×10^{-6} から 1×10^{-10} Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃～700℃とする。このような低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長した。アニール温度を600℃として、アニール時間を16時間かけて固相成長させることにより2μm以上の大粒径シリコン薄膜が得られた。

【0029】次に、固相成長シリコン薄膜23をフォトリソグラフィ法によって島状にパターニングした（図1（c））。

【0030】次に、ゲート酸化膜24を固相成長シリコン薄膜23上に形成した（図1（d））。ゲート酸化膜24の形成方法としては、LPCVD法、光励起CVD法、プラズマCVD法、ECRプラズマCVD法、高真空蒸着法、プラズマ酸化法あるいは高圧酸化法などのような500℃以下の低温成長法を例示することができる。この低温成長法で成膜されたゲート酸化膜24は、熱処理することによってより緻密で界面準位の少ない優れた膜となった。非晶質絶縁基板として石英基板21を用いる場合は、熱酸化法を用いることができる。この熱酸化法にはdry酸化法とwet酸化法とがある。約800℃以上においては酸化膜が生成された。石英基板21を用いるには、例えば、1000℃以上のなるべく高い温度でdry酸化させるのが適している。ゲート酸化膜24の膜厚は、500 Åから1500 Å程度が適している。

【0031】ゲート酸化膜24を形成した後、必要に応じてボロンをチャネリングイオン注入し、チャネルドーピングしてもよい。これは、Nチャネル薄膜トランジスタの閾値（スレッシュホールド）電圧がマイナス側にシフトすることを防ぐことを目的としている。非晶質シリコン膜22が堆積した膜厚が500～1500 Å程度の場合は、ボロンのドーズ量は $1 \times 10^{12} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。非晶質シリコン膜22の膜厚が500 Å以下の薄い場合にはボロンのドーズ量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、非晶質シリコン膜22の膜厚が1500 Å以上の厚い場合に

はボロンのドーザ量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0032】チャネリングイオン注入の代わりに、非晶質シリコン膜22の堆積時にボロンを添加してもよい。これは、シリコン膜堆積時にチャンパー中にシランガスと共にジボランガス(B_2H_6)を流して反応させることによって得られる。

【0033】次に、3層ゲート電極の作製プロセスに移る。最下層に不純物が添加された多結晶シリコン膜25を石英基板21およびゲート酸化膜24上に成膜した

(図1(e))。まず、拡散法を用いた成膜方法について説明する。LPCVD法等の方法により多結晶シリコン膜25を堆積させて、その後、 $900 \sim 1000^\circ\text{C}$ の POCl_3 拡散法によりPを多結晶シリコン膜25に添加する。この時、多結晶シリコン膜25上には薄い酸化膜が被覆されているので、フッ酸を含む水溶液でこの酸化膜を除去する。イオン注入法によりPを添加する方法もある。その他にドープト(doped)多結晶シリコン膜を堆積させることにより最下層膜とする方法もある。これは、 SiO_2 ガスと PH_3 ガスとの混合ガスを分解させることにより成膜する方法である。LPCVD法では $500 \sim 700^\circ\text{C}$ での熱分解、PECVD法ではグロー放電分解によって不純物が添加された多結晶シリコン膜が成膜される。PECVD法では 300°C 程度で非晶質シリコン膜を成膜することができる。前述したような固相成長法により、このドープト非晶質シリコン膜を高品質な多結晶シリコン膜に成長させることも有効な方法である。

【0034】上記のような方法で $1 \times 10^{19} \text{ cm}^{-3}$ 以上のPが添加された多結晶シリコン膜25を $500 \sim 2000 \text{ \AA}$ 程度の厚みに堆積させた。

【0035】続いて、図2(a)ないし図2(d)の製造工程について説明する。

【0036】多結晶シリコン膜25上に中間層のシリサイド膜26を成膜し、多結晶シリコン膜/シリサイド膜の2層膜を形成した(図2(a))。シリサイドの成膜方法としては、別々のるつぽから高融点金属とシリコンを同時に蒸着させるコーエバポレーション(coevaporation)法、あるいは合金ターゲットによるDCマグネトロンスパッタリング法、二つのターゲットから交互にスパッタ蒸着を行い高融点金属とシリコンとの積層膜を形成してその後熱処理によりシリサイドを形成する方法(codedeposition)、あるいは、 MoF_6 、 WF_6 等の高融点金属のハロゲン化物のガスとシランガス(SiH_4)の気体とのCVD法等を例示することができる。シリサイド膜26の組成比の制御性が優れている点から、このシリサイド膜26の形成法の中で高融点金属とシリコンとの混晶ターゲットを用いたスパッタリング法がよく用いられている。

【0037】シリサイドとしては、 CoSi_2 、 NiS

i 、 TiSi_2 、 MoSi_2 あるいは WSi_2 を例示することができる。

【0038】例えば、シリサイド膜26として MoSi_2 膜を用いる場合には、 MoSi_3 等のようなストキオメトリイ(化学量論)よりもシリコンリッチな組成比を有する混晶ターゲットを用いてスパッタリングする。これは成膜された膜をストキオメトリ的な組成に近づけることと、応力を緩和させることを目的としている。膜厚については、先にも述べたように、シリサイド膜26と石英基板21とを比較するとその線膨張係数は1桁以上も異なるので、シリサイド膜26の膜厚は厚くても 2500 \AA 程度が限界である。これ以上の膜厚にすると、シリサイド膜26自身にクラックが発生してしまう可能性がある。

【0039】次に、フォトリソグラフィ法により、多結晶シリコン膜/シリサイド膜の2層膜(ポリサイド膜)をパターンニングする(図2(b))。この時、ポリサイド膜のパターンの幅は、薄膜トランジスタのチャネル長よりも少なくとも $2 \mu\text{m}$ 以上狭くする。上層にあるシリサイド膜26のエッチング速度は多結晶シリコン膜25のエッチング速度よりも大きいので、オーバーハングや逆テーパー形状にならない。

【0040】続いて、最上層の不純物が添加された多結晶シリコン膜27を成膜した(図2(c))。この成膜方法については、これまでに述べてきたのでここでの詳しい説明は省略する。ただし、シリサイド膜26の表面が酸化されることを防止するために、できるだけ 400°C 以下の低温成膜方法が望ましい。LPCVD法でも、 400°C 以下のチャンパー内に基板を載置した後に、チャンパーを所定の温度に昇温させて成膜すれば問題はない。3層全体の厚さから考えると、最上層の多結晶シリコン膜27の膜厚は 1000 \AA 程度が適している。

【0041】次に、多結晶シリコン膜/シリサイド膜の2層膜のパターンを完全に覆うようにレジストマスク28を形成し、最上層の不純物が添加された多結晶シリコン膜27をエッチングした(図2(d))。多結晶シリコン膜/シリサイド膜の2層膜のパターン端とレジストマスク28のパターン端との距離 L_1 は、少なくとも $1 \mu\text{m}$ 以上とした。最上層の不純物が添加された多結晶シリコン膜27のパターンとレジストマスク28のパターンが同じになったところでエッチングを終了した。エッチングはドライエッチング装置を用いて行った。通常は、フロンガス(CF_4)をプラズマ放電させることによって多結晶シリコン膜25あるいはシリサイド膜26あるいはポリサイド膜等をプラズマエッチングする。この時、酸素ガス(O_2)を混合させるとマスクとなっているレジストもエッチング除去しながらゲート電極を加工していくことになる。従って、テーパー形状のゲート電極が形成される。酸素ガスの分圧を大きくすると、よりなだらかなテーパー形状になった。このように、酸

素ガスの分圧比によりゲート電極のテーパ形状を制御することができた。

【0042】次に、図3（a）ないし図3（d）の製造工程について説明する。イオン注入法により、不純物のイオンビーム212を第1の半導体層にアクセプター型またはドナー型の不純物を高濃度にイオン注入し、自己整合的にソース領域210およびドレイン領域211を形成した（図3（a））。

【0043】ここで、ソース領域210およびドレイン領域211とチャネル領域との境界は、最上層の不純物が添加された多結晶シリコン膜27のパターンとオーバーラップしていないので、オフセットゲート構造を形成することができる。

【0044】アクセプター型の不純物としては、ボロン（B）等を用いる。ドナー型の不純物としては、リン（P）あるいはヒ素（As）等を用いる。不純物の添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。絶縁性非晶質材料としての石英基板21を用いた場合には熱拡散法を使うことができる。不純物のドーズ量は、 1×10^{14} から $1 \times 10^{17} \text{ cm}^{-2}$ 程度とした。不純物濃度に換算すると、ソース領域210およびドレイン領域211において不純物が約 $1 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{22} \text{ cm}^{-3}$ 程度であった。

【0045】続いて、レジストマスク28をマスクとして、最上層の不純物が添加された多結晶シリコン膜27をさらに過剰にエッチングして、このパターンを細らせた（図3（b））。レジストマスク28の端と最上層の不純物が添加された多結晶シリコン膜27のパターン端との距離 L_2 は、少なくとも $1 \mu\text{m}$ 以上とした。この L_2 をオフセット長と呼ぶ。 L_2 は $1 \mu\text{m}$ から $1.5 \mu\text{m}$ が適している。

【0046】レジストマスク28を剥離した後、層間絶縁膜214を積層した（図3（c））。層間絶縁膜214の材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数 μm 程度が普通である。ここで、窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス（ NH_3 ）とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。続いて、層間絶縁膜214の緻密化とソース領域210およびドレイン領域211の活性化と結晶性の回復を目的として活性化アニールを行う。活性化アニールの条件としては、 N_2 ガス雰囲気中において $800 \sim 1000^\circ\text{C}$ 程度に低温化し、アニール時間を20分ないし1時間程度とする。 $900 \sim 1000^\circ\text{C}$ において20分程度のアニールにより不純物はかなり活性化される。 $800 \sim 900^\circ\text{C}$ においては20分から1時間のアニールをする。一方、始めに $500 \sim 800^\circ\text{C}$ で1～20時間程度のアニ

ールにより結晶性を十分に回復させた後、 $900 \sim 1000^\circ\text{C}$ の高温で活性化させるという2段階活性化アニール法も効果がある。また、赤外線ランプまたはハロゲンランプを用いたRTA（Rapid Thermal Annealing）法も効果がある。さらには、レーザービーム等を用いたレーザー活性化法を利用することも効果がある。

【0047】次に、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法を用いて水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜の界面などに存在する欠陥や、ソース領域210、ドレイン領域211とチャネル部との接合部に存在する欠陥が不活性化される。このような水素化工程は、層間絶縁膜214を積層する前に行ってもよい。または、後に述べるソース電極とドレイン電極を形成してから水素化工程を行ってもよい。

【0048】次に、層間絶縁膜214にコンタクトホールをフォトエッチングにより形成し、ソース電極215およびドレイン電極216を形成した（図3（d））。ソース電極215およびドレイン電極216は、アルミニウムあるいはクロムなどの金属材料で形成する。このようにして図4に示される薄膜トランジスタを形成した。

【0049】以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなどの薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【0050】

【発明の効果】以上説明したように、本発明によれば、ゲート線が低抵抗化されるので、ゲート線の時定数 τ が低減する。従って、画像の中央と端での画素トランジスタの立ち上がり特性が均一になる。その結果、フリッカあるいは表示ムラを低減することができる。しかも、ゲート線のライン容量を低減させなくてもよいので、画素の保持特性が低下することはない。このように、本発明によれば、画素保持特性を低下させることなく、フリッカあるいは表示ムラの極めて少ない液晶ディスプレイを実現することができる。さらに、ゲート線が低抵抗化されるので、付加的な画素保持容量線を廃止することが可能になる。従って、開口率が向上し、その結果、非常に明るい液晶ディスプレイを実現することが可能となる。

【0051】さらにまた、本発明によれば、ゲート線の低抵抗化と共にオフリーク電流も低減することができるので、薄膜トランジスタの特性向上に対して非常に大きな効果が期待される。高品位テレビジョン用のTFTに関しては、投影型のディスプレイとして構成するために、ライトバルブ等が要求されることから4インチ程度

の大きなTFTパネルを作成しなければならない。このように長いゲート線を有するパネルを作成する場合に、本発明の効果は一段と大きくなる。

【0052】オフセットゲート構造を有しているので、画素の保持特性が改善される。さらに、消費電流の低減に対しても大きな効果が期待される。

【0053】その上、固相成長法を用いることによって、非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作成することが可能となったのでSOI技術の発展に大きく寄与するものである。ゲート線の低抵抗化は、固相成長等の方法で改善された薄膜トランジスタの特性を最大限に引き出し、非常に優れた液晶ディスプレイを実現する上で大きな効果がある。

【0054】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果を生みだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサへの応用も容易となる。勿論、電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果が大きい。また、低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズのような大型ファクシミリ用の読み取り装置が実現でき

る。従って、センサーチップの二本継ぎのような手数がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上する。

【図面の簡単な説明】

【図1】本発明の実施例である薄膜トランジスタの製造工程を示す模式的断面図である。

【図2】本発明の実施例である薄膜トランジスタの製造工程を示す模式的断面図である。

【図3】本発明の実施例である薄膜トランジスタの製造工程を示す模式的断面図である。

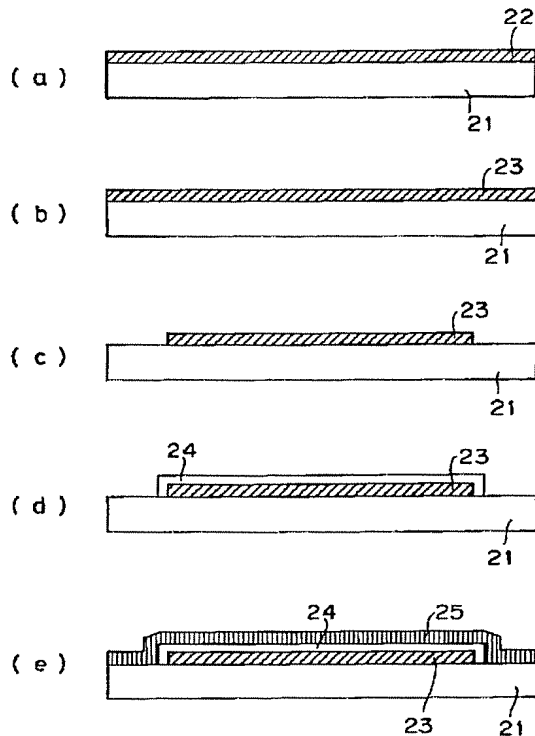
【図4】図1ないし図3の製造工程により製造された薄膜トランジスタの模式的断面図である。

【図5】従来の薄膜トランジスタを示す模式的断面図である。

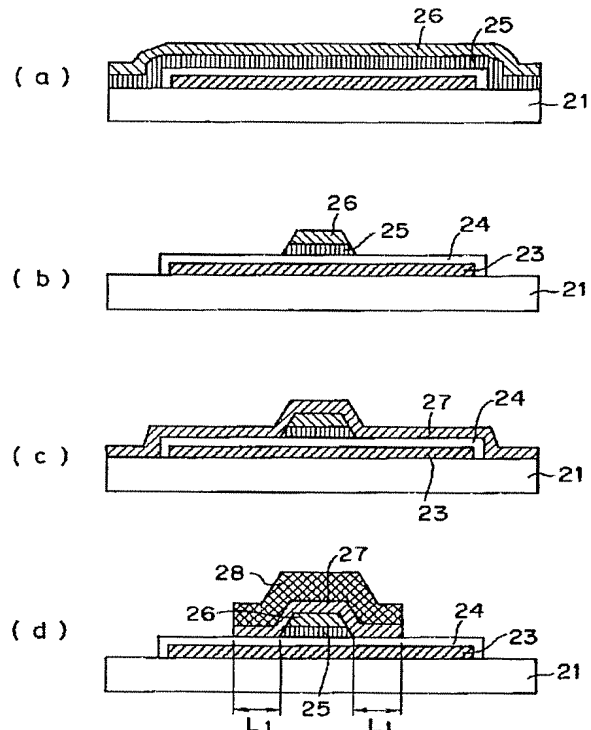
【符号の説明】

- 21 石英基板
- 23 固相成長シリコン薄膜
- 24 ゲート酸化膜
- 25 多結晶シリコン膜
- 26 シリサイド膜
- 27 多結晶シリコン膜
- 28 レジストマスク
- 210 ソース領域
- 211 ドレイン領域

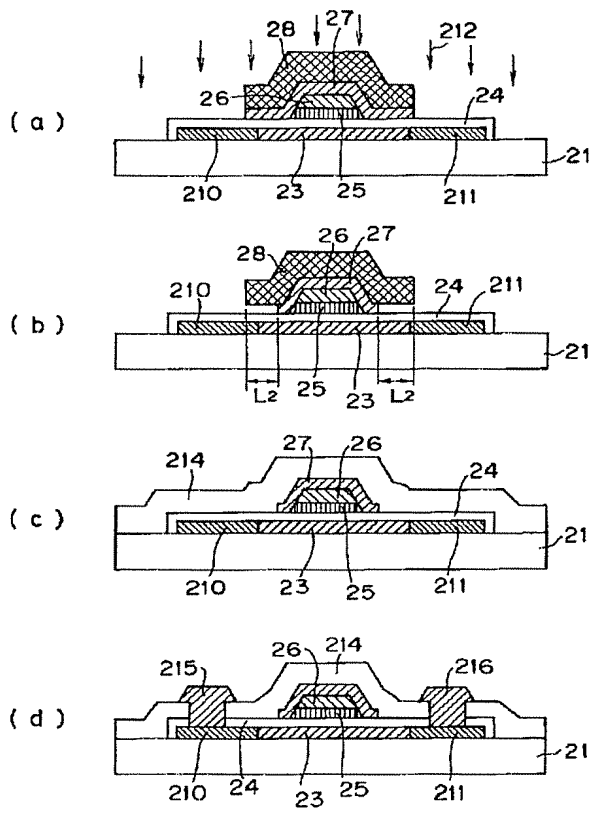
【図1】



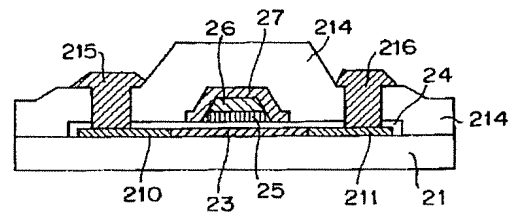
【図2】



【図 3】



【図 4】



【図 5】

